



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001229115 A**(43) Date of publication of application: **24.08.01**

(51) Int. Cl.

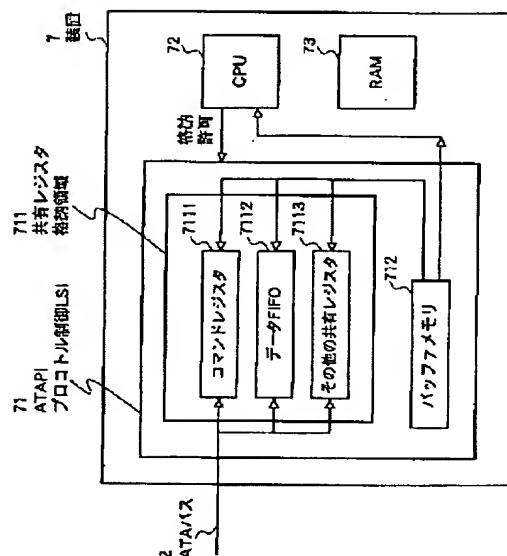
G06F 13/12(21) Application number: **2000040067**(22) Date of filing: **17.02.00**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **KIMURA YOKO
UEDA YASUSHI**(54) **ATAPI COMMAND PROCESSING SYSTEM**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a device which increases the stability of a system by shortening an interruptive process by a CPU in a device which controls an ATAPI protocol.

SOLUTION: When a CPU 72 allows data to be stored in a storage destination address of a buffer memory 712 specified by the CPU 72 at the time of the command reception of an LSI 712 equipped with a common register storage area (including a data FIFO 712 holding command packets) receiving data from a host computer through an ATA bus 2 and the buffer memory 712 usable as a RAM of the CPU 72, a common register value (including a command packet value) is stored.

COPYRIGHT: (C)2001,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-229115

(P2001-229115A)

(43)公開日 平成13年8月24日(2001.8.24)

(51)Int.Cl.⁷

G 0 6 F 13/12

識別記号

3 2 0

F I

G 0 6 F 13/12

テーマワード(参考)

3 2 0 D 5 B 0 1 4

審査請求 有 請求項の数 3 O L (全 7 頁)

(21)出願番号 特願2000-40067(P2000-40067)

(22)出願日 平成12年2月17日(2000.2.17)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 木村 容子

香川県高松市古新町8番地の1 松下電
子工業株式会社内

(72)発明者 上田 泰志

香川県高松市古新町8番地の1 松下電
子工業株式会社内

(74)代理人 100081813

弁理士 早瀬 憲一

Fターム(参考) 5B014 EB01 FB03 GC07 GC14 GD12

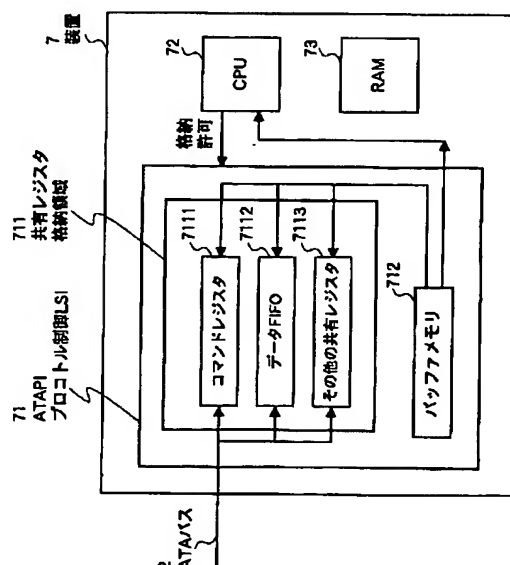
GD13 GD16 GD22 HB05 HB27

(54)【発明の名称】 ATAPIコマンド処理方式

(57)【要約】

【課題】 ATAPIプロトコルを制御する装置において、CPUの割り込み処理の短縮を図り、システムの安定度が増した装置を提供する。

【解決手段】 ホストコンピュータからATAバス2を介して受信する共有レジスタ格納領域(コマンドパケットを保持するデータFIFO712を含む)と、CPU72のRAMとして使用可能なバッファメモリ712を具備するLSI712のコマンド受信時において、CPU72から指定されたバッファメモリ712の格納先アドレスに、CPU72からデータの格納許可を与えられている場合に、共有レジスタ値(コマンドパケット値を含む)を格納する構成とした。



【特許請求の範囲】

【請求項1】 ホストコンピュータからATAバスを介してATAPI規定の有レジスタのデータレジスタに書き込まれるコマンドパケットを保持するためのデータFIFOと、装置内の制御を行うCPUのRAMとして使用可能なバッファメモリを具備するATAPIコマンド処理方式において、前記CPUからデータの格納許可を与えられている場合に、前記CPUから指定された前記バッファメモリの格納先アドレスに、前記共有レジスタの値を格納する、ことを特徴とするATAPIコマンド処理方式。

【請求項2】 ホストコンピュータからATAバスを介してATAPI規定の共有レジスタのデータレジスタに書き込まれるコマンドパケットを保持するためのデータFIFOと、装置内の制御を行うCPUのRAMとして使用可能なバッファメモリを具備するATAPIコマンド処理方式において、前記CPUから設定されるデータの格納許可の有無によって、前記CPUから指定された前記バッファメモリの格納先アドレスを変更し、前記共有レジスタの値を格納する、ことを特徴とするATAPIコマンド処理方式。

【請求項3】 ホストコンピュータからATAバスを介してATAPI規定の共有レジスタのデータレジスタに書き込まれるコマンドパケットを保持するためのデータFIFOと、装置内の制御を行うCPUのRAMとして使用可能なバッファメモリを具備するATAPIコマンド処理方式において、前記CPUからデータの格納許可を与えられている場合に、前記CPUから偶数値に指定された前記バッファメモリの格納先アドレスに、前記共有レジスタのコマンドレジスタ値、前記コマンドパケットの値、その他の前記共有レジスタの値を、これらの順に格納する、ことを特徴とするATAPIコマンド処理方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ATAPI (Attachment Packet Interface) プロトコルを制御するLSIのコマンド受信方式に関し、特に、CPUの処理時間を短縮するATAPIコマンド処理方式に関するものである。

【0002】

【従来の技術】ATAPIは、ホストコンピュータと内蔵用ハードディスクとのインタフェースのATA規格をマルチメディア装置用に拡張した規格であり、その詳細については、X3T13委員会によって決められている。

【0003】まず、構成について説明する。図5は、ATAバスによって接続された装置のシステムを示している。1台のホストコンピュータ1に対して、装置3～6の計4台がATAバス2を介して接続可能である。

【0004】前記装置3～6は、ATA規格をサポート

する装置、あるいは、ATAPI規格をサポートする装置であり、内部に、ATA或いはATAPIプロトコルを制御するためのLSIと、ホストコンピュータ1から受信したコマンドを解釈して、それに応じた処理を実行するCPUとを具備している。

【0005】図6には、ATAバス2を介してアクセスする従来の装置3の構成とコマンドデータの流れを示している。図6において、装置3は、ATAバス2を介してATAPIプロトコルを制御するLSI31と、装置3の制御を行うCPU32と、CPU32がアクセスするRAM33を具備している。

【0006】ATAPIプロトコル制御LSI31は、ホストコンピュータ1とアクセスするための共有レジスタ格納領域311と、CPU32のRAMとして使用可能なバッファメモリ312とを具備する。

【0007】共有レジスタ格納領域311には、ATAPI規定のコマンドレジスタ311.1、ホストコンピュータから共有レジスタのデータレジスタに発行されたコマンドパケットやアクセスデータを一時格納するデータFIFO (First in First out) 311.2、その他の共有レジスタ311.3、を格納している。

【0008】以下、動作について説明する。ホストコンピュータ1は、セレクトした装置3に対して、ATAバス2を通じて、共有レジスタのコマンドレジスタにアクセスし、コマンドを発行する。

【0009】前記共有レジスタは、ATA或いはATAPI規格に規定されているATAバス2を介してホストコンピュータ1がアクセスするレジスタである。

【0010】更に、ATAPI規格をサポートする装置3の場合には、ホストコンピュータ1は、セレクトした装置3に対して、ATAバス2を通じて、共有レジスタのコマンドレジスタとデータレジスタにアクセスし、1バイトのコマンドとコマンドの束（以下コマンドパケット）を送信する。前記コマンドパケットは、ATA規格からの拡張機能であり、ホストコンピュータ1を起動する際に、装置3とのコマンド (IDENTIFY PACKET DEVICE コマンド) のやり取りで設定された複数バイトのコマンドデータである。

【0011】ATAバス2を介してホストコンピュータ1からコマンドが発行される場合、ATAPIプロトコル制御LSI31は、ホストコンピュータ1がアクセスした共有レジスタのコマンドレジスタの値を共有レジスタ格納領域311のコマンドレジスタ311.1へ、ホストコンピュータ1がアクセスしたコマンドパケットを共有レジスタ格納領域311のデータFIFO311.2へ、ホストコンピュータ1がアクセスしたその他の共有レジスタの値を共有レジスタ格納領域311のその他の共有レジスタ311.3に格納し、CPU32に対して割り込みを出す。

【0012】CPU32は、割り込み処理ルーチンの中

でLSI31のコマンドレジスタ3111やデータFIFO3112やその他の共有レジスタ3113にアクセスし、RAM33に格納する。CPU32は、割り込み処理ルーチンを抜けてコマンド処理ルーチンの中でRAM33から前記格納した共有レジスタの値を取り出し、コマンド処理を実行する。

【0013】

【発明が解決しようとする課題】このように、従来の装置3においては、コマンド受信時に、CPU32は、LSI31からの割り込みを認識し、CPU32の割り込み処理ルーチンの中でLSI31の共有レジスタ格納領域311にアクセスし、RAM33に共有レジスタの値を格納していた。

【0014】しかしながら、上記の従来の構成では、CPU32の割り込み処理ルーチンにおいて、ATAPIプロトコル制御LSI31が保持している共有レジスタの値やコマンドパケットの値をCPU32が取り込むことに時間が費やされ、CPU32の他処理への対応が遅れるという問題点を有していた。

【0015】また、CPU32が取り込んでいる最中に、ホストコンピュータ1からの次のコマンドやコマンドパケットをLSI31が受信した場合、前の共有レジスタの値やコマンドパケットの値が壊される可能性があった。

【0016】

【課題を解決するための手段】前記課題を解決するために、本発明の請求項1に係るATAPIコマンド処理方式は、ホストコンピュータからATAバスを介してATAPI規定の共有レジスタのデータレジスタに書き込まれるコマンドパケットを保持するためのデータFIFOと、装置内の制御を行うCPUのRAMとして使用可能なバッファメモリを具備するATAPIコマンド処理方式において、前記CPUからデータの格納許可を与えられている場合に、前記CPUから指定された前記バッファメモリの格納先アドレスに、前記共有レジスタの値を格納するようにしたものである。

【0017】また、本発明の請求項2に係るATAPIコマンド処理方式は、ホストコンピュータからATAバスを介してATAPI規定の共有レジスタのデータレジスタに書き込まれるコマンドパケットを保持するためのデータFIFOと、装置内の制御を行うCPUのRAMとして使用可能なバッファメモリを具備するATAPIコマンド処理方式において、前記CPUから設定されるデータの格納許可の有無によって、前記CPUから指定された前記バッファメモリの格納先アドレスを変更し、前記共有レジスタの値を格納するようにしたものである。

【0018】また、本発明の請求項3に係るATAPIコマンド処理方式は、ホストコンピュータからATAバスを介してATAPI規定の共有レジスタのデータレジ

スタに書き込まれるコマンドパケットを保持するためのデータFIFOと、装置内の制御を行うCPUのRAMとして使用可能なバッファメモリを具備するATAPIコマンド処理方式において、前記CPUからデータの格納許可を与えられている場合に、前記CPUから偶数値に指定された前記バッファメモリの格納先アドレスに、前記共有レジスタのコマンドレジスタ値、前記コマンドパケットの値、その他の前記共有レジスタの値を、これらの順に格納するようにしたものである。

【0019】

【発明の実施の形態】（実施の形態1）以下に、本発明の請求項1に記載された発明の実施の形態について、図1及び図2を用いて説明する。まず、構成について説明する。図1は、コマンド処理方式において使用する装置の構成とコマンドの流れを示すものである。図1において、ATAバス2を介してATAPIプロトコルを制御するLSI71と、装置7の制御を行うCPU72と、CPU72がアクセスするRAM73を具備している。

【0020】ATAPIプロトコル制御LSI71は、ホストコンピュータ1とアクセスするための共有レジスタ格納領域711と、CPU72のRAMとして使用可能なバッファメモリ712を具備する。

【0021】共有レジスタ格納領域711には、共有レジスタのコマンドレジスタを格納するコマンドレジスタ7111、ホストコンピュータ1から発行されたコマンドパケットを格納するデータFIFO7112、その他の共有レジスタを格納するその他の共有レジスタ7113が存在する。

【0022】図2は、本発明の実施の形態1におけるLSI71内部のバッファメモリ712内の共有レジスタやコマンドパケットの格納構成を示すものである。図2において、CPU72が指定した格納先アドレスAには、共有レジスタ値（コマンドパケット値を含む）を格納している。

【0023】次に、動作について説明する。ATAバス2を介してホストコンピュータ1から送信されたコマンドを受信した場合、ATAPIプロトコル制御LSI71は、ホストコンピュータ1が送信したコマンドレジスタ値を共有レジスタ格納領域711のコマンドレジスタ7111へ、ホストコンピュータ1が送信したコマンドパケット値を共有レジスタ格納領域711のデータFIFO7112へ、ホストコンピュータ1が送信したその他の共有レジスタ値を共有レジスタ格納領域711のその他の共有レジスタ7113へ格納する。

【0024】更に、CPU72からデータの格納許可を与えられている場合は、ATAPIプロトコル制御LSI71は、バッファメモリ712のCPU72が指定した格納先アドレスAに共有レジスタの値（コマンドパケット値を含む）を格納し、CPU72に対し割り込みを出し、データの格納許可を取り消す。

10

20

30

40

50

【0025】CPU72は、割り込み処理ルーチンからコマンド処理ルーチンへ移行する。コマンド処理ルーチンの中でバッファメモリ712のアドレスAから共有レジスタの値（コマンドパケット値を含む）を取り出した後、コマンド処理を実行する。

【0026】前述のデータの格納許可を与えられていない場合に、ホストコンピュータ1からコマンドが発行されると、ATAPIプロトコル制御LSI71は、ホストコンピュータ1が送信したコマンドレジスタ値を共有レジスタ格納領域711のコマンドレジスタ7111へ、ホストコンピュータ1が送信したコマンドパケット値を共有レジスタ格納領域711のデータFIFO7112へ、ホストコンピュータ1が送信したその他の共有レジスタ値を共有レジスタ格納領域711のその他の共有レジスタ7113へ格納し、CPU72に対し割り込みを出す。

【0027】このように、本実施の形態1によるATAPIコマンド処理方式によれば、CPUからデータの格納許可を与えられている場合に、CPUから指定されたバッファメモリの格納先アドレスに、共有レジスタの値を格納するようにしたものである。

【0028】即ち、LSI71が1度共有レジスタの値（コマンドパケット値を含む）をバッファメモリ712に取り込んでから、CPU72がコマンド処理を行っている間は、データの格納許可は取り消されている状態にあり、この間に、ホストコンピュータ1からコマンドが発行された場合には、LSI71の共有レジスタ格納領域711内のコマンドレジスタ7111やデータFIFO7112、その他の共有レジスタ7113に値を一時格納する事となる。

【0029】ホストコンピュータ1から発行されたコマンドにおいて、最初のコマンドはバッファメモリ712に格納され、ホストコンピュータ1によって上書きされた最後のコマンドは、LSI71の共有レジスタ格納領域711に格納されていることになる。

【0030】従って、最初のコマンドに対し、CPU72の割り込み処理ルーチンにおける共有レジスタの値（コマンドパケットの値を含む）の取り込み時間が省かれ、CPU72全体の処理時間の短縮につながる。また、CPU72の介在無しに、LSI71がホストコンピュータ1によって上書きされたコマンドを保持することができる。更に、コマンドを格納するバッファメモリ712のアドレスを1つとする事から、格納アドレスの管理を省き、格納サイズを最小限に抑えることができる。

【0031】（実施の形態2）次に、本発明の請求項2に記載された発明の実施の形態について、図1、図3を用いて説明する。なお、前述した実施の形態と同じ構成については同じ符号を用い、説明を省略する。

【0032】本実施の形態2によるATAPIプロトコ

ル制御用LSIのコマンド処理方式は、CPUから設定されるデータの格納許可の有無によって、CPUから指定されたバッファメモリの格納先アドレスを変更し、共有レジスタの値（コマンドパケットの値も含む）を格納するようにしたものである。

【0033】まず、構成について説明する。図3は、本実施の形態2におけるLSI71内部のバッファメモリ712内の共有レジスタやコマンドパケットの格納構成を示すものである。CPU72が指定した格納先アドレスB、Cには、共有レジスタ値（コマンドパケットの値を含む）を格納している。

【0034】次に、動作について説明する。ATAバス2を介してホストコンピュータ1から送信されたコマンドを受信した場合、ATAPIプロトコル制御LSI71は、ホストコンピュータ1が送信したコマンドレジスタ値を共有レジスタ格納領域711のコマンドレジスタ7111へ、ホストコンピュータ1が送信したコマンドパケット値を共有レジスタ格納領域711のデータFIFO7112へ、ホストコンピュータ1が送信したその他の共有レジスタ値を共有レジスタ格納領域711のその他の共有レジスタ7113へ格納する。

【0035】更に、CPU72からデータの格納許可を与えられている場合は、ATAPIプロトコル制御LSI71は、バッファメモリ712のCPU72が指定した格納先アドレスBに共有レジスタの値（コマンドパケット値を含む）を格納し、CPU72に対し割り込みを出し、データの格納許可を取り消す。

【0036】CPU72は、割り込み処理ルーチンからコマンド処理ルーチンへ移行する。コマンド処理ルーチンの中でバッファメモリ712のアドレスBから共有レジスタの値（コマンドパケット値を含む）を取り出した後、コマンド処理を実行する。

【0037】前述のデータの格納許可を与えられていない場合に、ホストコンピュータ1からコマンドが発行されると、ATAPIプロトコル制御LSI71は、バッファメモリ712のCPU72が指定した格納先アドレスCに共有レジスタの値（コマンドパケット値を含む）を格納し、CPU72に対し割り込みを出す。

【0038】このように、本実施の形態2によるATAPIコマンド処理方式によれば、CPUから設定されるデータの格納許可の有無によって、CPUから指定されたバッファメモリの格納先アドレスを変更し、共有レジスタの値を格納するようにしたものである。

【0039】即ち、LSI71が1度共有レジスタの値（コマンドパケット値を含む）をバッファメモリ712に取り込んでから、CPU72がコマンド処理を行っている間は、データの格納許可は取り消されている状態にあり、この間に、ホストコンピュータ1からコマンドが発行された場合には、バッファメモリ712のCPU72が指定した格納先アドレスCに共有レジスタの値（コ

10

20

30

40

50

マンドパケット値を含む)を格納する事となる。ホストコンピュータ1から発行されたコマンドにおいて、最初のコマンドは、バッファメモリ712のアドレスBに格納され、ホストコンピュータ1によって上書きされた最後のコマンドは、バッファメモリ712のアドレスCに格納されていることになる。

【0040】従って、任意のコマンドに対し、CPU72の割り込み処理ルーチンにおける共有レジスタの値(コマンドパケットの値を含む)の取り込み時間が省かれ、CPU72全体の処理時間の短縮につながる。また、CPU72の介在無しに、LSI71がホストコンピュータ1によって上書きされたコマンドを保持することができる。

【0041】(実施の形態3)次に、本発明の請求項3に記載された発明の実施の形態について、図1、図4を用いて説明する。なお、前述した実施の形態と同じ構成については同じ符号を用い、説明を省略する。本実施の形態3に係るATAPIプロトコル制御用LSIのコマンド処理方式は、CPUからデータの格納許可を与えられている場合に、CPUから偶数値に指定されたバッファメモリの格納先アドレスに、共有レジスタのコマンドレジスタ値、コマンドパケットの値、その他の共有レジスタの値、の順に格納するようにしたものである。

【0042】まず、構成について説明する。図4は、本実施の形態3におけるLSI71内部のバッファメモリ712内の共有レジスタやコマンドパケットの格納構成を示すものである。CPU72が指定した格納先アドレスDには、共有レジスタ値(コマンドパケットの値を含む)を格納している。

【0043】次に、動作について説明する。ATAバス2を介してホストコンピュータ1から送信されたコマンドを受信した場合、ATAPIプロトコル制御LSI71は、ホストコンピュータ1が送信したコマンドレジスタ値を共有レジスタ格納領域711のコマンドレジスタ7111へ、ホストコンピュータ1が送信したコマンドパケット値を共有レジスタ格納領域711のデータFIFO7112へ、ホストコンピュータ1が送信したその他の共有レジスタ値を共有レジスタ格納領域711のその他の共有レジスタ7113へ格納する。

【0044】更に、CPU72からデータの格納許可を与えられている場合は、ATAPIプロトコル制御LSI71は、バッファメモリ712のCPU72が指定した格納先アドレスDから、コマンドレジスタ値、コマンドパケット値、その他の共有レジスタの値を順に格納し、CPU72に対し割り込みを出し、データの格納許可を取り消す。

【0045】CPU72は、割り込み処理ルーチンからコマンド処理ルーチンへ移行する。コマンド処理ルーチンの中でバッファメモリ712のアドレスDからコマンドレジスタ値とコマンドパケットの0バイト目の値を取

り込み、この2つの値からデータ転送の有無を判断し、コマンド処理を実行する。

【0046】前記のデータの格納許可を与えられていない場合に、ホストコンピュータ1からコマンドが発行されると、ATAPIプロトコル制御LSI71は、ホストコンピュータ1が送信したコマンドレジスタ値を共有レジスタ格納領域711のコマンドレジスタ7111へ、ホストコンピュータ1が送信したコマンドパケット値を共有レジスタ格納領域711のデータFIFO7112へ、ホストコンピュータ1が送信したその他の共有レジスタ値を共有レジスタ格納領域711のその他の共有レジスタ7113へ格納し、CPU72に対し割り込みを出す。

【0047】このように、本実施の形態3によるATAPIコマンド処理方式によれば、CPUからデータの格納許可を与えられている場合に、CPUから偶数値に指定された前記バッファメモリの格納先アドレスに、共有レジスタのコマンドレジスタ値、コマンドパケットの値、その他の前記共有レジスタの値、の順に格納するようにしたものである。

【0048】即ち、CPU72がバッファメモリ712のアドレスDから取り込んだ2バイトがデータ転送の有無を判断できる値であることから、その後CPU72が取り込むべき残りのコマンドパケットの値やその他の共有レジスタの値を削除することが可能となり、メモリアクセス数の削減が図れる。

【0049】また、CPU72が、格納先アドレスDを偶数値に設定し、更に、ワードアクセスが可能なCPUであれば、更なるメモリアクセス数の削減につながる。従って、CPUのコマンド処理における共有レジスタ値の取り込み時間が省かれ、CPU72全体の処理時間の短縮につながる。

【0050】

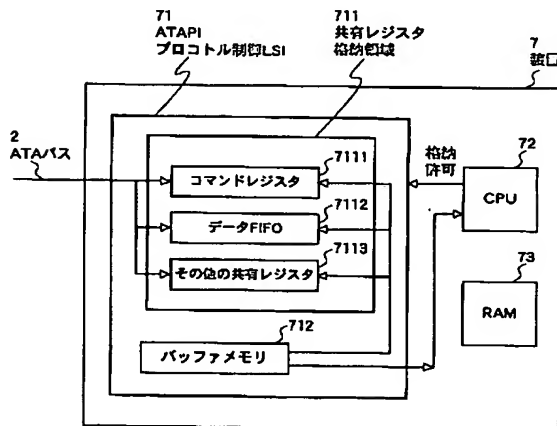
【発明の効果】以上のように、本発明の請求項1に係るATAPIコマンド処理方式は、ホストコンピュータからATAバスを介してATAPI規定の共有レジスタのデータレジスタに書き込まれるコマンドパケットを保持するためのデータFIFOと、装置内の制御を行うCPUのRAMとして使用可能なバッファメモリを具備するATAPIコマンド処理方式において、前記CPUからデータの格納許可を与えられている場合に、前記CPUから指定された前記バッファメモリの格納先アドレスに、前記共有レジスタの値を格納するようにしたものである。これにより、CPUの割り込み処理時における共有レジスタ値の取り込みを無くしたことによる処理時間の短縮とシステムの安定度の増加を図るものである。また、前記LSIは、前記CPUの介在無しに、前記ホストコンピュータによって上書きされたコマンドを保持することができ、CPUがバッファメモリに格納するアドレス指定することが可能であるため、複数組のコマンド

に対し任意の場所に格納することが可能となる。そのため、ATAPI規格のオーバーラップ機能に容易に対応できる。

【0051】また、本発明の請求項2に係るATAPIコマンド処理方式は、ホストコンピュータからATAバスを介してATAPI規定の共有レジスタのデータレジスタに書き込まれるコマンド packets を保持するためのデータFIFOと、装置内の制御を行うCPUのRAMとして使用可能なバッファメモリを具備するATAPIコマンド処理方式において、前記CPUから設定されるデータの格納許可の有無によって、前記CPUから指定された前記バッファメモリの格納先アドレスを変更し、前記共有レジスタの値を格納するようにしたものである。これにより、CPUの割り込み処理時における共有レジスタ値の取り込みを無くしたことによる処理時間の短縮とシステムの安定度の増加を図るものである。

【0052】また、本発明の請求項3に係るATAPIコマンド処理方式は、ホストコンピュータからATAバスを介してATAPI規定の共有レジスタのデータレジスタに書き込まれるコマンド packets を保持するためのデータFIFOと、装置内の制御を行うCPUのRAMとして使用可能なバッファメモリを具備するATAPIコマンド処理方式において、前記CPUからデータの格納許可を与えられている場合に、前記CPUから偶数値に指定された前記バッファメモリの格納先アドレスに、前記共有レジスタのコマンドレジスタ値、前記コマンド packets の値、その他の前記共有レジスタの値を、これらの順に格納するようにしたものである。これにより、ワードアクセスが可能なCPUに対しては、前記バッ

【図1】



メモリから前記共有レジスタ値を取り込む際のアクセス回数を減らすことが可能となり、前記CPUの処理時間の短縮につながる。

【図面の簡単な説明】

【図1】本発明のコマンド処理方式における実施の形態1～3において使用する装置の構成とコマンドの流れを示す図

【図2】本発明の実施の形態1におけるLSIのバッファメモリでのデータ保持構成を示す図

【図3】本発明の実施の形態2におけるLSIのバッファメモリでのデータ保持構成を示す図

【図4】本発明の実施の形態3におけるLSIのバッファメモリでのデータ保持構成を示す図

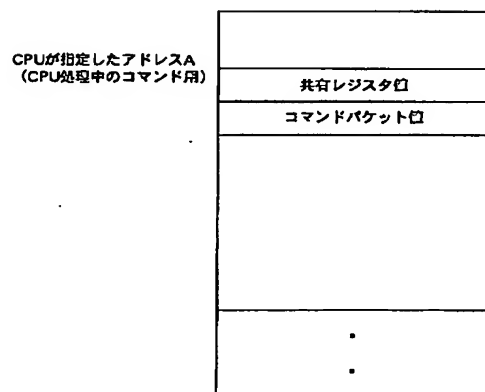
【図5】ATAバスで接続されたシステム構成を示す図

【図6】従来のコマンド処理方式に使用するLSIの構成とコマンドの流れを示す図

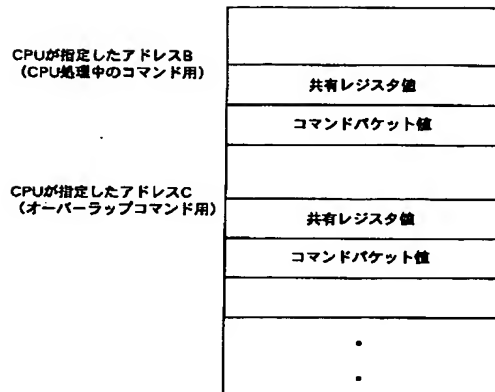
【符号の説明】

- 1：ホストコンピュータ
- 2：ATAバス
- 3～7：装置
- 32，72：CPU
- 33，73：RAM
- 31，71：ATAPIプロトコル制御LSI
- 311，711：共有レジスタ格納領域
- 3111，7111：コマンドレジスタ
- 3112，7112：データFIFO
- 3113，7113：その他の共有レジスタ
- 312，712：バッファメモリ

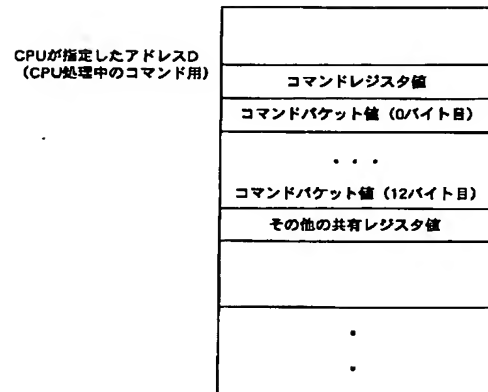
【図2】



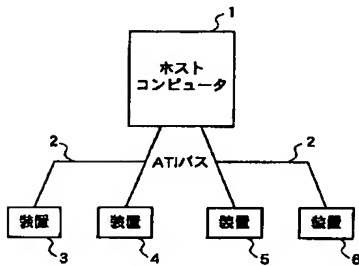
【図3】



【図4】



【図5】



【図6】

